

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04287439 A**(43) Date of publication of application: **13.10.92**

(51) Int. Cl.

H04L 7/00
H04L 7/033
H04L 12/42

(21) Application number: **03051804**(22) Date of filing: **18.03.91**(71) Applicant: **FUJITSU LTD**

(72) Inventor: **ISHIKAWA KENICHI**
HIROME MASASHI

(54) **CLOCK RECOVERY SYSTEM**

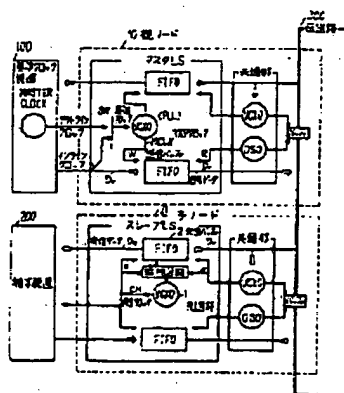
(57) Abstract:

PURPOSE: To realize the clock recovery system contributing to high reliability of a LAN by providing flexibility not effected even when plural reference clock sources of plural data lines accommodated in the LAN are in use and operating lines other than a faulty line without hindrance even when an external reference clock is tentatively interrupted by a master node with respect to the LAN in which a prescribed quantity of data sent to the transmission line is received by a slave node and outputted to a terminal equipment by using a master clock generated in its own PLL of the master node with a reference clock.

CONSTITUTION: Each slave node 21 is provided with a PLL circuit 1 reproducing and outputting a clock CK in subordinate synchronization with a master clock MCLK of an output of a master node 10, a reception buffer FIFO 2 storing a prescribed multi-value processing of a reception data DR resulting from a transmission data DT to a transmission line from the master node by using the output CK of the PLL circuit and a monitor circuit 3 monitoring the data storage quantity of the reception buffer, and the monitor circuit 3 monitors the data storage quantity of the reception buffer 2 to regulate the speed of the output clock CK of the PLL circuit 1

thereby allowing the slave node 21 to receive a prescribed quantity of data sent from the master node 10 to the transmission line synchronizingly.

COPYRIGHT: (C)1992,JPO&Japio



特開平4-287439

(43) 公開日 平成4年(1992)10月13日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 L 7/00
7/033
12/42

B 8949-5K

8949-5K

9077-5K

H 0 4 L 7/02

B

11/00 3 3 1

審査請求 未請求 請求項の数1(全 5 頁)

(21) 出願番号

特願平3-51804

(22) 出願日

平成3年(1991)3月18日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 石川 健一

福岡県福岡市博多区博多駅前三丁目22番8号 富士通九州デジタル・テクノロジー株式会社内

(72) 発明者 廣目 正志

神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

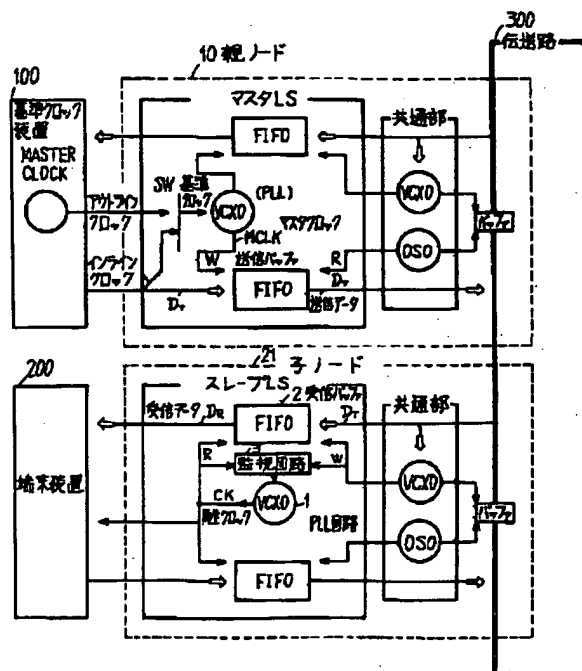
(54) 【発明の名称】 クロック再生方式

(57) 【要約】

【目的】 基準クロックにより親ノードが自蔵PLLで生成したマスタクロックにより伝送路へ送出した一定量のデータを該伝送路から子ノードが受信し端末装置へ出力する LAN に関し、一つの LAN に収容する複数のデータ回線の基準クロック源が複数化した時も影響されない柔軟性を持ち、親ノードにて外部からの基準クロックが一時断となっても、障害回線以外の回線が支障無く動作して、LAN の高信頼化に寄与するクロック再生方式を目的とする。

【構成】 各子ノード21に、親ノード10の出力のマスタクロックMCLKに従属同期したクロックCKを再生出力するPLL回路1と該PLL回路の出力CKにより親ノードの伝送路への送出データD₁の受信データD₁を一定量だけ記憶蓄積する受信バッファFIFO 2と該受信バッファのデータ蓄積量を監視する監視回路3とを具え、該監視回路3で受信バッファ2のデータ蓄積量を監視しながらPLL回路1の出力クロックCKの速度を調節し、親ノード10が伝送路へ送出した一定量のデータを子ノード21が同期して受信するように構成する。

本発明のクロック再生方式の基本構成を示す原理図



1

【特許請求の範囲】

【請求項1】 外部(100)より入力する基準クロックから、親ノード(10)が自蔵のPLL回路(VCX0)で生成したマスタクロック(MCLK)により、伝送路(300)へ送出した一定量のデータ(D_r)を子ノード(21)が受信し該子ノードに接続される端末装置(200)へ出力する一つのLANにおいて、該子ノード(21)に、親ノード(10)の出力するマスタクロック(MCLK)に従属同期したクロック(CK)を再生し出力するPLL回路(VCX0,1)と、該PLL回路(1)の出力(CK)により親ノードの送出データ(D_r)の受信データ(D_r)を一定量だけ記憶蓄積する受信バッファ(FIFO,2)と、該受信バッファ(2)のデータ蓄積量を監視する監視回路(3)とを具備、該監視回路(3)で受信バッファ(2)のデータ蓄積量を監視しながらPLL回路(1)の生成するクロック(CK)の速度を調節して、親ノード(10)が伝送路(300)へ送出した一定量のデータを子ノード(21)が同期して受信することを特徴としたクロック再生方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、幹線の伝送路(バス)に接続してデータを送受信する装置(以下INノードと称す)を例えばループ状に複数接続した所謂LAN(Local Area Network)に於ける監視役の親装置(SNノード)の送出データの基準マスタクロックに同期して被監視の子装置のクロックを再生し受信するクロック再生方式に関する。

【0002】LANを伝送媒体とするネットワークの拡大に伴い、一つのLAN内に複数の基準クロックを持つデータ回線の構築が要求されている。この為、一つのLAN内に複数の基準クロックのデータ回線が互に共存できる柔軟なクロック再生方式が望まれている。

【0003】

【従来の技術】従来のLANは、図3のブロック図に示す如く、幹線バスに接続して伝送データを送受信する複数のINノード10、21~2nの一つ10が親装置(SNノード、マスタ)となり、該SNノード10が所謂PLL回路を有し、該PLL回路が、外部の例えば公衆通信網からの線(アウトライン)の基準クロック(アウトラインクロック)に従属同期したマスタクロックMCLKを生成して、LANの各子装置(スレーブ)のINノード21~2nへ供給していた。

【0004】

【発明が解決しようとする課題】ところが、上記の従来のLANは、一つのLANには一つのマスタクロックMCLKであるため、複数のINノードの或るグループAが接続するデータ回線のクロックが、他グループBの接続する回線のクロックと異なり別々の基準クロックを持つ場合は、一つのLANへの収容が不可能であって、図示しないが、A、B二つのLANを設けねばならない。また、親装置のSNノード10へ取り込むアウトラインからの基準クロックのアウトラインクロックが断となった場合や、SNノード内

2

のPLL回路から子ノードへデータと一緒に出力されるマスタクロックのインラインクロックの障害は、一つのLANに収容した複数のデータ回線の全回線に対し影響を及ぼすといった重大障害の一要因となっていた。

【0005】本発明の目的は、一つのLANに収容する複数のデータ回線の基準クロック源が複数化した時も互に影響されない柔軟性を持ち、親ノードにて入力のアウトラインの基準クロックや出力のインラインのマスタクロックMCLKが一時断となっても、各子ノードが支障無く動作して、LANの高信頼性に寄与するクロック再生方式を実現することにある。

【0006】

【課題を解決するための手段】この目的は、図1の原理図を参照し、外部の基準クロック装置100からの基準クロックにより親ノード10が自蔵のPLL回路にて生成したマスタクロックMCLKにより、伝送路300へ送出した一定量のデータD_rを、子ノード21が該伝送路から受信して端末装置200へ出力する一つのLANにおいて、該子ノード21に、親ノード10の出力するマスタクロックMCLKに従属同期したクロックCKを再生し出力するPLL回路VCX0(1)と、該PLL回路の出力CKにより親ノードの送出データD_rを受信したデータD_rを一定量だけ記憶蓄積する受信バッファFIFO(2)と、該受信バッファのデータ蓄積量を監視する監視回路(3)とを具備、該監視回路(3)で前記受信バッファ(2)のデータ蓄積量を監視しながらPLL回路(1)の生成するクロックCKの速度を調節し、親ノード10が幹線バス300へ送出した一定量のデータD_rを子ノード21が同期して受信するように構成した本発明によって達成される。

【0007】

【作用】本発明では、伝送路300へ親ノード10と子ノード21が接続されたLANの中の該子ノード21に設けられたPLL回路VCX0(1)が、親ノード10のデータD_rと一緒に送出されたマスタクロックMCLKに従属同期したクロックCKを再生して、受信バッファFIFO(2)へ受信データD_rの読出用クロックRとして出力する。そして、受信バッファFIFO(2)から、PLL回路(1)の出力CKにより、親ノード10の送出データD_rの受信データD_rを読み出し、一定量だけ蓄積する。そして監視回路(3)が、該受信バッファFIFOのデータ蓄積量の一定量からの過不足を監視する。そして該監視回路(3)で受信バッファ(2)のデータ蓄積量を監視しながら、該PLL回路(1)の生成する読出用クロックCKの速度を、蓄込みクロックWの速度と一致するように調節して、親ノード10が伝送路300へ送出した一定量のデータD_rを、子ノード21が同期して受信する。親ノード10と子ノード21が同期してデータを送信し受信するので、親ノード10と子ノード21とで一組をなすグループが、一つのLANの中に複数グループ存在しても、互に影響は無い。

【0008】また、親ノード10の入力の基準クロック装

3

置100からの基準クロックが一時断となっても、送信側の親ノード10の従来のPLL回路の出力のマスタクロックMCLKと、受信側の子ノード21の本発明のPLL回路(1)の出力の再生クロックCLKとにより、データの送受信が保持されるので、支障は無い。

【0009】

【実施例】図2は本発明の実施例のクロック再生方式の構成を示すブロック図であり、親ノード10と子ノード21とが1対1で一組をなすグループAと、親ノード10とN個の子ノード21~2Nとが一組をなす1対NにおいてN=3の場合のグループBとが、一つのLANの中に共存する場合の例である。グループAとグループBの何れにおいても、夫々の親ノード10が伝送路300へ送出した一定量のデータD_Tを、図1について前述した如く、子ノード21の受信バッファ2に記憶蓄積し、該受信バッファ2の書き込みクロックと読み出しクロックとを、図示しないが、例えばカウンタで計数した計数値を比較する等の監視回路3により監視して、PLL回路1のVCX0の発振出力を制御して一致させる。そして、グループAでは子ノード21が同期して受信し、グループBでは3個の子ノード21, 22, 23が共に同期して受信するので、互の影響は無い。また、親ノード10の入力の基準クロック装置100からの基準クロックが仮に一時断となっても、送信側の親ノード10の従来のPLL回路の出力のマスタクロックMCLKと、受信側の子ノード21の本発明のPLL回路1の出力の再生クロ

4

クCLKとにより、データの送受信が保持されるので、支障は無い。

【0010】なお、クロック断となったデータ回線はデータスリップ等の支障を来す。

【0011】

【発明の効果】以上説明した様に、本発明によれば、一つのLAN内に複数の別々の基準クロックのデータ回線が共存可能となるので、LANの回線構成に柔軟性が生じ、また、基準クロックが一時断となっても、障害データ回線以外のマスタからスレーブへのデータ回線の送受信が保持されるので、LANの信頼性が向上する効果が得られる。

【図面の簡単な説明】

【図1】 本発明のクロック再生方式の基本構成を示す原理図、

【図2】 本発明の実施例のクロック再生方式のブロック図、

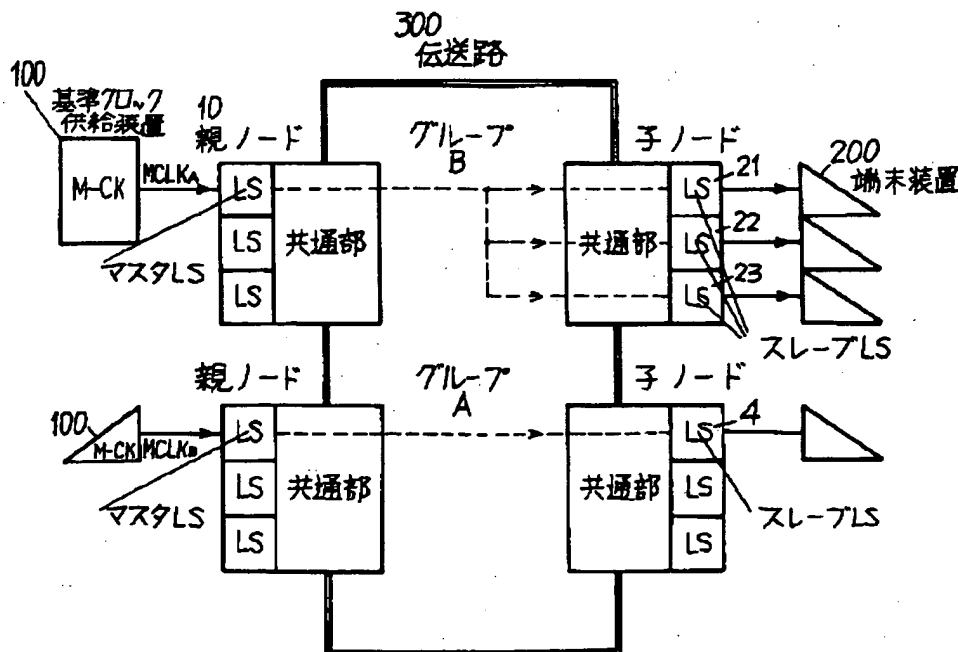
【図3】 従来のLANにおけるクロック再生方式のブロック図、

【符号の説明】

1は子ノードのPLL回路VCX0、2は受信バッファFIFO、3はデータ蓄積量の監視回路、10は親ノード、21~2Nは子ノード、100は基準クロック装置、200は端末装置、300は伝送路バスである。

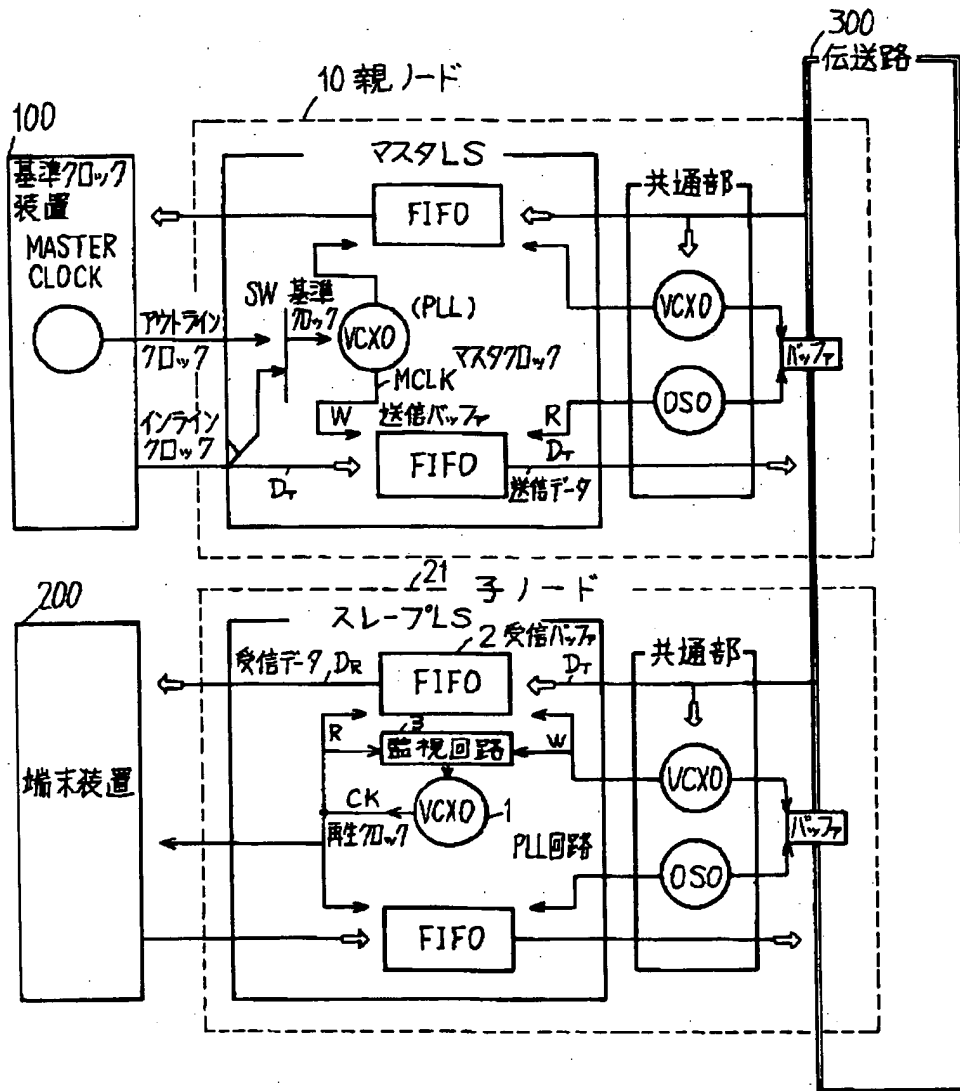
【図2】

本発明の実施例のクロック再生方式の構成を示すブロック図



【図1】

本発明のクロック再生方式の基本構成を示す原理図



【図3】

従来のLANにおけるクロック再生方式のブロック図

